

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-130569

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

H04N 5/95

G11B 20/02

(21)Application number : 03-313503

(71)Applicant : SONY CORP

(22)Date of filing : 01.11.1991

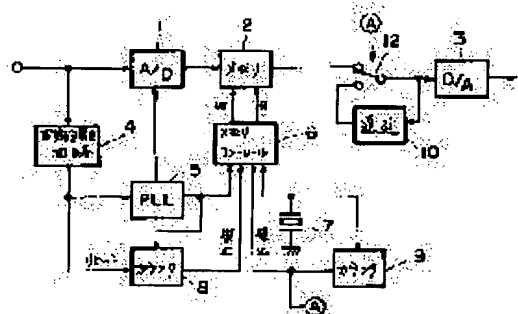
(72)Inventor : MASUDA ISAO

(54) TIME-BASE CORRECTION DEVICE

(57)Abstract:

PURPOSE: To make the number of samples in a specific period (e.g. one horizontal scanning period) constant by the time-base correction device which uses a memory even if an instantaneous error is generated in an input signal.

CONSTITUTION: An input video signal is ADD-converted with a write clock generated by an PLL 5 and written in the memory 2. The frequency of generation of the write clock in each horizontal scanning period is monitored by a counter 8 and when the frequency exceeds the specific number of samples, the signal is inhibited from being written in the memory 2. The video signal written in the memory 2, on the other hand, is read out with the reference clock from a reference clock oscillator 7. The frequency of generation of the reference clock in each horizontal scanning period is monitored by a counter 9 and the signal is inhibited from being read out of the memory 2 unless the specific number of sample in this period is satisfied.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平5-130569

(43)公開日 平成5年(1993)5月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 4 N 5/95

A 7205-5C

G 1 1 B 20/02

D 9294-5D

審査請求 未請求 請求項の数 1 (全 4 頁)

(21)出願番号 特願平3-313503

(22)出願日 平成3年(1991)11月1日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 益田 功

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

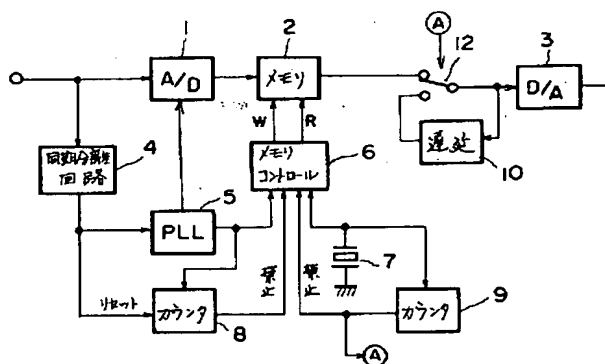
(74)代理人 弁理士 稻本 義雄

(54)【発明の名称】 時間軸補正装置

(57) 【要約】

【目的】 メモリを用いた時間軸補正装置において、入力信号に瞬時のエラーが発生した場合でも、所定周期（例えば 1 水平走査期間）内のサンプル数を一定にする。

【構成】 入力ビデオ信号はPLL5が発生する書込みクロックによってA/D変換され、メモリ2に書込まれる。書込みクロックはカウンタ8によって1水平走査期間当たりには発生する発生回数が監視され、所定のサンプル数を越える時メモリ2に対する書込み動作が禁止される。一方、メモリ2に書込まれたビデオ信号は基準クロック発振器7からの基準クロックで読み出される。基準クロックはカウンタ9によって1水平走査期間当たりには発生する発生回数が監視され、この期間の所定のサンプル数に満たない場合には、メモリ2からの読み出し動作が禁止される。



【特許請求の範囲】

【請求項1】 入力ビデオ信号に位相同期した書込みクロックを生成する書込みクロック生成手段と、前記書込みクロックによって前記入力ビデオ信号をA/D変換するA/D変換手段と、前記A/D変換された入力ビデオ信号を記憶する記憶手段と、基準クロックを発生する基準クロック発生手段と、前記書込みクロックに応じて前記A/D変換された入力ビデオ信号を前記記憶手段に書込み、前記基準クロックに応じて前記記憶手段に記憶された入力ビデオ信号を読出すことにより前記入力ビデオ信号に含まれる時間軸誤差を補正する装置であって、前記入力ビデオ信号の所定期間における前記書込みクロックの発生回数を監視し、前記書込みクロックの前記発生回数が所定回数を越えたとき前記記憶手段に対する書込み動作を禁止する書込み禁止信号を発生する第1の制御手段と、前記記憶手段から読出された前記入力ビデオ信号の所定期間における前記基準クロックの発生回数を監視し、前記基準クロックの前記発生回数が所定回数に満たないとき前記記憶手段に対する読出し動作を禁止する読出し禁止信号を発生する第2の制御手段とを備えたことを特徴とする時間軸補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ビデオテープレコーダ（VTR）、ビデオディスクプレーヤ（VDP）等に用いられ、媒体から読み出されたビデオ信号の時間軸誤差を補正する時間軸補正装置に関する。

【0002】

【従来の技術】 VTRやVDPにおいては、再生系の機械的変動や媒体の偏心による時間軸誤差の発生が不可避免であり、これを補正してジッタのないビデオ信号を出力するための時間軸補正装置が必要である。

【0003】 図2は従来の時間軸補正装置の一例を示すブロック図であり、VTR等で再生された入力ビデオ信号は、A/D変換器1及び同期分離回路4に供給される。A/D変換器1は入力ビデオ信号をデジタル信号に変換するものであり、入力ビデオ信号は後述するPLL5で発生する書込みクロックによって定まるサンプリング周期にてデジタル変換される。

【0004】 A/D変換器1でデジタル信号に変換された入力ビデオ信号は、少なくとも1水平走査期間の記憶容量を有するメモリ2に書込まれる。同期分離回路4は入力ビデオ信号に含まれる例えば水平同期信号（HD信号）のみを分離するものであり、分離されたHD信号がPLL5に供給される。書込みクロック発生手段としてのPLL5はHD信号に位相同期した書込みクロックを発生し、この書込みクロックは前述のA/D変換器1に

供給されるほか、メモリコントローラ6に供給される。メモリコントローラ6にはクリスタル発振器等で構成される基準クロック発振器7からの基準クロックも供給されており、メモリコントローラ6はPLL5で発生する書込みクロックに応じて、A/D変換された入力ビデオ信号をメモリ6に書込み、基準クロック発振器7で発生する基準クロックに応じてメモリ6に記憶されたビデオ信号を読出す。メモリ6から読み出されたビデオ信号はD/A変換器3にてアナログ信号に変換されて、ビデオ出力となる。

【0005】 以上の構成により、例えば入力ビデオ信号がジッタを含んでいたとしても、メモリ6からは位相の安定した基準クロックに応じてビデオ信号が読出されるので、入力ビデオ信号に含まれるジッタが抑圧されることになる。

【0006】

【発明が解決しようとする課題】 従来の時間軸補正装置のループゲインはPLL5のループゲインに依存するところが大きい。一般的にPLLはループゲインを高めると帯域が狭くなる特性を有しており、このため、PLL5の発生する書込みクロックは入力ビデオ信号の瞬時の位相変動には追従することができなくなる。

【0007】 すると例えば、PLL5のフリーラン周波数を $4f_{sc}$ （ f_{sc} はカラーサブキャリア周波数）とすると、本来ならば1水平走査期間（1H）に910個のサンプルが得られるのだが、瞬時のエラーが発生した場合にはサンプル数が1H当たり910個にならない場合が生ずる。

【0008】 このように、規定されたサンプル数とは異なるサンプル数のデジタル化されたビデオ信号がメモリ6に書込まれると、書込みアドレス、読出しアドレスにオフセットが発生し、正しい時間軸補正が行なわれなくなる欠点を有している。

【0009】 本発明はかかる従来の技術の有する欠点を克服するためになされたもので、入力ビデオ信号に瞬時のエラーが発生した場合でも、書込み、読出しの1H当たりのサンプル数を一定化することのできる時間軸補正装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明の時間軸補正装置は、入力ビデオ信号に位相同期した書込みクロックを生成する書込みクロック生成手段としてのPLL5と、書込みクロックによって入力ビデオ信号をA/D変換するA/D変換手段としてのA/D変換器1と、A/D変換された入力ビデオ信号を記憶する記憶手段としてのメモリ2と、基準クロックを発生する基準クロック発生手段としての基準クロック発振器7と、書込みクロックに応じてA/D変換された入力ビデオ信号をメモリ2に書込み、基準クロックに応じてメモリ2に記憶された入力ビデオ信号を読出すことにより入力ビデオ信号に含まれる

時間軸誤差を補正する装置であって、入力ビデオ信号の所定期間における書き込みクロックの発生回数を監視し、書き込みクロックの発生回数が所定回数を越えたときメモリ2に対する書き込み動作を禁止する書き込み禁止信号を発生する第1の制御手段としてのカウンタ8と、メモリ2から読出された入力ビデオ信号の所定期間における基準クロックの発生回数を監視し、基準クロックの発生回数が所定回数に満たないときメモリ2に対する読出し動作を禁止する読み出し禁止信号を発生する第2の制御手段としてのカウンタ9とを備えたことを特徴とする。

【0011】

【作用】上記構成の時間軸補正装置においては、カウンタ8は入力ビデオ信号の例えば1H期間内に発生する書き込みクロックの発生回数をカウントして、これが所定回数を越える場合にはメモリ2に対する書き込み動作を禁止するための書き込み禁止信号を発生し、メモリ2に書込まれる1H期間におけるサンプル数を規定されたサンプル数にする。また、カウンタ9はメモリ2から読出されるビデオ信号の例えば1H期間内に発生する読み出しクロックの発生回数をカウントして、これが所定回数に満たない場合、メモリ2からの読出し動作を禁止するための読出し禁止信号を発生し、次の1Hとして書込まれたデータの読出しを禁止する。

【0012】

【実施例】以下、本発明の好適な実施例について図面を参照して説明する。図1は、本発明の時間軸補正装置の一実施例の構成を示すブロック図であり、従来の場合と対応する部分には同一の符号を付与し、その説明は適宜省略する。また、書き込み及び読出しクロックの発振周波数は $4f_{sc}$ として説明する。

【0013】図1において、同期分離回路4で分離された水平同期信号はリセット信号として第1の制御手段としてのカウンタ8に供給されている。カウンタ8は同期分離回路4で分離された水平同期信号でリセットされ、PLL5で発生する書き込みクロックに応じて順次カウントアップする構成であり、このカウント値が例えば910を超えた場合、メモリコントローラ6に対して書き込み禁止信号を送出する。メモリ2の出力はスイッチ12の入力の一方に供給される。

【0014】第2の制御手段としてのカウンタ9は、基準クロック発振器7で発生する基準クロックに応じて順次カウントアップし、カウント値が910になるとリセットされる構成であり、例えばカウント値が910未満でリセット信号が供給された時、カウント値が910に至るまでメモリコントローラ6に対して読み出し禁止信号を供給する。

【0015】スイッチ12を介したビデオ信号は、少なくとも1クロックだけデータを遅延する遅延回路10に供給され、遅延回路10の出力はスイッチ12の他方の入力となる。このスイッチ12はカウンタ9が発生する

読出し禁止信号により制御され、読出し禁止信号の存在下において遅延回路10の出力を選択するように切替制御される。

【0016】以上の構成において、入力ビデオ信号に瞬時のエラーが発生し、例えば1H当たりのサンプル数が910を越える場合を考える。この時、カウンタ8は、911個目の書き込みクロックが発生した時点でメモリコントローラ6に対して書き込み禁止信号を発生し、書き込み禁止信号を受けたメモリコントローラ6は、911個目以降のデジタルデータの書き込みを禁止するようにメモリ2の書き込み動作を制御する。そして再び水平同期信号が到来するとカウンタ8がリセットされるので、その時点からカウンタ8からの書き込み禁止信号が消滅し、再びメモリ2への書き込み動作が再開される。この結果、入力ビデオ信号に発生した瞬時のエラーによって1H当たりのサンプル数が910個を越えた場合でもメモリ2には910個分のデータのみが書込まれることになる。

【0017】次に1H当たりのサンプル数が910に満たない場合について考える。このときカウンタ9は、カウント値が910に至る前にリセット信号が供給されることになるが、このリセット信号が供給された時点からカウント値が910になるまでメモリコントローラ6及びスイッチ12に対して読出し禁止信号を発生する。読出し禁止信号を受けたメモリコントローラ6はメモリ2からの読出し動作を禁止する。一方、スイッチ12は遅延回路10の出力を選択するように切替制御される。

【0018】この結果、カウンタ9のカウント値が910に達するまでメモリ2からの読出し動作が禁止される一方で、遅延回路10からは最後に読出されたデータが繰り返し出力されることになるので、スイッチ12の出力からはデータが連続して得られる。

【0019】従って、読出されたデータの1H当たりのサンプル数が910に満たない場合であっても、スイッチ12の出力には正しく1H当たり910個のデータがあらわれる。

【0020】尚、カウンタ9から読出し禁止信号が供給された場合に、メモリコントローラ6が最後に読出されたデータを繰り返し読出すようにメモリ2に対する読み出し制御を行なうようにすれば、スイッチ12及び遅延回路10を省略することもできる。

【0021】

【発明の効果】以上のように本発明の時間軸補正装置によれば、1H当たりの書き込み及び読出しクロックの発生回数をカウントし、その発生回数が所定の回数以外の時に書き込み及び読出しを禁止するようにしたので、入力ビデオ信号に瞬時のエラーが生じた場合でも、1H当たりの書き込み及び読出しのサンプル数は正しく所定回数に維持されることになり、記憶手段内におけるオフセットを防止することができ、正確な時間軸補正を行なうことができる。

【図面の簡単な説明】

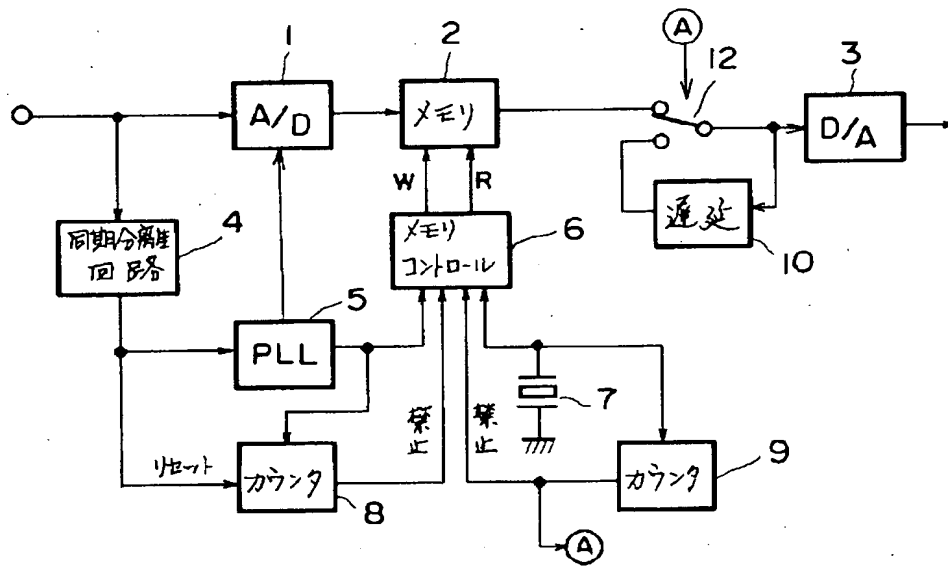
【図1】 本発明の時間軸補正装置の一実施例の構成を示すブロック図である。

【図2】 従来の時間軸補正装置の一例の構成を示すブロック図である。

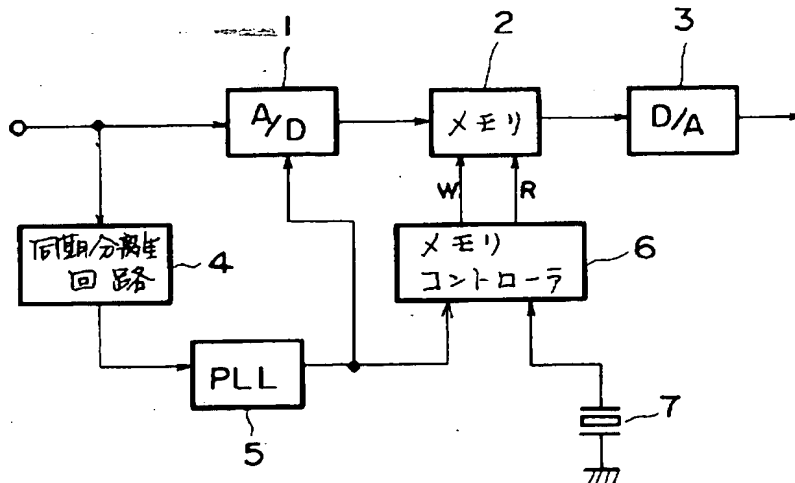
【符号の説明】

- | | |
|----------|--------------------------|
| 1 A/D変換器 | 4 同期分離回路 |
| 2 メモリ | 5 PLL (書き込みクロック生成手段) |
| 3 D/A変換器 | 6 メモリコントローラ |
| | 7 基準クロック発振器 (基準クロック発生手段) |
| | 8 カウンタ (第1の制御手段) |
| | 9 カウンタ (第2の制御手段) |
| | 10 遅延回路 |
| | 12 スイッチ |

【図1】



【図2】



Japanese Patent Publication Laid-Open No. 05-130569

[Claim(s)]

[Claim 1] A write-in clock generation means which is characterized by providing the following and which carried out phase simulation to the input video signal to write in and to generate a clock, The A/D-conversion means which carries out A/D conversion of the aforementioned input video signal with the aforementioned write-in clock, A storage means to memorize the input video signal by which A/D conversion was carried out [aforementioned], and a reference clock generating means to generate a reference clock, The input video signal by which A/D conversion was carried out [aforementioned] according to the aforementioned write-in clock is written in the aforementioned storage means, and the time-axis error included in the aforementioned input video signal is amendment-equipped by reading the input video signal memorized by the aforementioned storage means according to the aforementioned reference clock. The 1st control means which generate the write-protected signal which forbids write-in operation to the aforementioned storage means when the number of times of generating of the aforementioned write-in clock in the predetermined period of the aforementioned input video signal is supervised and the aforementioned number of times of generating of the aforementioned write-in clock exceeds the number of times of predetermined The 2nd control means which generate the read-protection signal which forbids read-out operation to the aforementioned storage means when the number of times of generating of the aforementioned reference clock in the predetermined period of the aforementioned input video signal read from the aforementioned storage means is supervised and the aforementioned number of times of generating of the aforementioned reference clock does not fulfill the number of times of predetermined.

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention is used for a video tape recorder (VTR), a videodisk player (VDP), etc., and relates the time-axis error of the video signal read from the medium to an amendment time-axis compensator.

[0002]

[Description of the Prior Art] In VTR or VDP, mechanical change of a reversion system and generating of the time-axis error by the eccentricity of a medium are unescapable, and the time-axis compensator for outputting the video signal which amends this and does not have a jitter is required.

[0003] Drawing 2 is the block diagram showing an example of the conventional time-axis compensator, and the input video signal reproduced with VTR etc. is supplied to A/D converter 1 and a synchronizing separator circuit 4. A/D converter 1 changes an input video signal into a digital signal, and digital conversion of the input video signal is carried out in the sampling period which becomes settled with the write-in clock generated in PLL5 mentioned later.

[0004] The input video signal changed into the digital signal by A/D converter 1 is written in the memory 2 which has the storage capacity of 1 horizontal scanning period at least. HD signal with which a synchronizing separator circuit 4 is contained in an input video signal and which separates only a horizontal synchronizing signal (HD signal), for example, and was separated is supplied to PLL5. PLL5 as a write-in clock generation means generates the write-in clock which carried out phase simulation to HD signal, and this write-in clock is supplied to above-mentioned A/D converter 1, and also it is supplied to a memory controller 6. The reference clock from reference clock VCO 7 which consists of crystal VCO etc. is also supplied to the memory controller 6, and a memory controller 6 writes the input video signal by which A/D conversion was carried out in memory 6 according to the write-in clock generated in PLL5, and reads the video signal memorized by memory 6 according to the reference clock generated with reference clock VCO 7. The video signal read from memory 6 is changed into an analog signal by D/A converter 3, and serves as a video outlet.

[0005] Since a video signal is read according to the reference clock by which the phase was stabilized from memory 6 by the above composition though for example, the input video signal contained the jitter, the jitter contained in an input video signal will be oppressed.

[0006]

[Problem(s) to be Solved by the Invention] Although the loop gain of the conventional time-axis compensator has a large place depending on the loop gain of PLL5, PLL has the property that a band becomes narrow, if a loop gain is raised, and it becomes impossible to follow the write-in clock which PLL5 generates generally at momentary phase change of an input video signal for this reason.

[0007] then -- the case of PLL5 where a momentary error occurs although 910 samples were obtained during the 1 horizontal scanning (1H) properly speaking when free run frequency was set to $4f_{sc}(s)$ (f_{sc} is color subcarrier frequency) -- a measurement size -- 1 -- the case where it does not become 910 per H arises

[0008] Thus, if the video signal by which a different measurement size from the specified measurement size was digitized is written in memory 6, offset occurs to the write-in address and the read-out address, and it has the fault in which the right time-axis amendment is no longer performed.

[0009] the case where were made in order that this invention might conquer the fault which this Prior art has, and a momentary error occurs in an input video signal -- writing in -- 1 of read-out -- it aims at offering the time-axis compensator which can regularity-ize the measurement size per H

[0010]

[Means for Solving the Problem] PLL5 as a write-in clock generation means which carried out phase simulation of the time-axis compensator of this invention to the input video signal to write in and to generate a clock, A/D converter 1 as an A/D-conversion means which carries out A/D conversion of the input video signal with a write-in clock, The memory 2 as a storage means to memorize the input video signal by which A/D conversion was carried out, Reference clock VCO 7 as a reference clock generating means which generates a reference clock, The input video signal by which A/D conversion was carried out according to the write-in clock is written in memory 2. It is amendment equipment about the time-axis error included in an input video signal by reading the input video signal memorized by memory 2 according to the reference clock. The number of times of generating of the write-in clock in the predetermined period of an input video signal is supervised. The counter 8 as the 1st control means which generate the write-protected signal which forbids write-in operation to memory 2 when the number of times of generating of a write-in clock exceeds the number of times of predetermined, The number of times of generating of the reference clock in the predetermined period of the input video signal read from memory 2 is supervised. When the number of times of generating of a reference clock does not fulfill the number of times of predetermined, it is characterized by having the counter 9 as the 2nd control means which generate the reading appearance inhibiting signal which forbids read-out operation to memory 2.

[0011]

[Function] In the time-axis compensator of the above-mentioned composition, a counter 8 generates the write-protected signal for forbidding write-in operation to memory 2, when the number of times of generating of the write-in clock generated for example, within 1H period of an input video signal is counted and this exceeds the number of times of predetermined, and it makes it the measurement size to which the measurement size in 1H period written in memory 2 was specified. Moreover, when the number of times of generating of the read-out clock generated for example, within 1H period of the video signal read from memory 2 is counted and this does not fulfill the number of times of predetermined, a counter 9 generates the read-protection signal for forbidding read-out operation from memory 2, and forbids read-out of the data written in as the following 1H.

[0012]

[Example] Hereafter, the suitable example of this invention is explained with reference to a drawing. Drawing 1 is the block diagram showing the composition of one example of the time-axis compensator of this invention, the same sign is given to the conventional case and a corresponding portion, and the explanation is omitted suitably. Moreover, the oscillation frequency of writing and a read-out clock is explained as $4f_{sc}(s)$.

[0013] In drawing 1, the horizontal synchronizing signal separated by the synchronizing separator circuit 4 is supplied to the counter 8 as the 1st control means as a reset signal. A counter 8 is composition counted up one by one according to the write-in clock which is reset by the horizontal synchronizing signal separated by the synchronizing separator circuit 4, and is generated in PLL5, and when this counted value exceeds 910, it sends out a write-protected signal to a memory controller 6. The output of memory 2 is supplied to one side of an input of a switch 12.

[0014] When it is the composition which will be reset if it counts up one by one according to the reference clock generated with reference clock VCO 7 and counted value is set to 910, for example, a reset signal is supplied for counted value less than by 910, the counter 9 as the 2nd control means is read to a memory controller 6, and supplies an inhibiting signal until counted value results in 910.

[0015] The video signal through the switch 12 is supplied to the delay circuit 10 for which only at least 1 clock is delayed in data, and the output of a delay circuit 10 turns into an input of another side of a switch 12. This switch 12 is controlled by the read-protection signal which a counter 9 generates, and change control is carried out so that the output of a delay circuit 10 may be chosen as the bottom of existence of a read-protection signal.

[0016] In the above composition, the case where a momentary error occurs in an input video signal, for example, the measurement size of per 1H exceeds 910 is considered. At this time, the memory controller 6 which the counter 8 generated the write-protected signal to the memory controller 6 when the 911st write-in clock was generated, and received the write-protected signal controls write-in operation of memory 2 to forbid the writing of the digital data after the 911st piece. And since a counter 8 will be reset if a horizontal synchronizing signal comes again, the write-protected signal from [from the point in time] a counter 8 is extinguished, and write-in operation to memory 2 is resumed again. Consequently, even when the measurement size of per 1H exceeds 910 pieces by the momentary error generated in the input video signal, only the data for 910 pieces will be written in memory 2.

[0017] Next, the case where the measurement size of per 1H does not fulfill 910 is considered. At this time, although a reset signal will be supplied before counted value results in 910, a counter 9 generates a read-protection signal to a memory controller 6 and a switch

12 until counted value is set to 910 from the time of this reset signal being supplied. The memory controller 6 which received the read-protection signal forbids read-out operation from memory 2. On the other hand, change control of the switch 12 is carried out so that the output of a delay circuit 10 may be chosen.

[0018] Consequently, since the data read to the last will be repeatedly outputted from a delay circuit 10 while read-out operation from memory 2 is forbidden until the counted value of a counter 9 amounts to 910, data are continuously obtained from the output of a switch 12.

[0019] Therefore, even if it is the case where the measurement size of per 1H of the read data does not fulfill 910, the data of 1H per 910 individuals appear in the output of a switch 12 correctly.

[0020] In addition, if it is made to perform read-out control to memory 2 so that a memory controller 6 may repeat and read the data read at the end when a read-protection signal is supplied from a counter 9, a switch 12 and a delay circuit 10 are also omissible.

[0021]

[Effect of the Invention] Since the writing of per 1H and the number of times of generating of a read-out clock were counted, and writing and read-out were forbidden according to the time-axis compensator of this invention as mentioned above when the number of times of generating was except the predetermined number of times Even when a momentary error arises in an input video signal, the writing of per 1H and the measurement size of read-out can be correctly maintained by the number of times of predetermined, can prevent the offset within a storage means, and can perform exact time-axis amendment.

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the composition of one example of the time-axis compensator of this invention.

[Drawing 2] It is the block diagram showing the composition of an example of the conventional time-axis compensator.

[Description of Notations]

1 A/D Converter

2 Memory

3 D/A Converter

4 Synchronizing Separator Circuit

5 PLL (Write-in Clock Generation Means)

6 Memory Controller

7 Reference Clock VCO (Reference Clock Generating Means)

8 Counter (1st Control Means)

9 Counter (2nd Control Means)

10 Delay Circuit

12 Switch